

**Platz sparend, thermisch wirksam, zuverlässiger:**

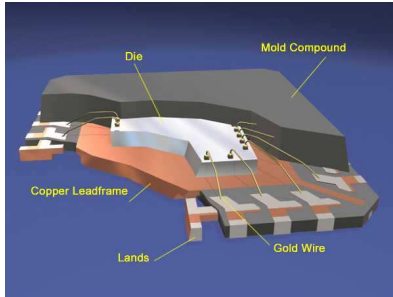
## **Designstrategien für eine neue Generation von SMD-Bauteilgehäusen**

**Neue SMD-Bauteilgehäuse wie MLF und QFN weisen neben ihrer um 50 Prozent kleineren Bauform eine Reihe weiterer Vorteile auf. Die Gehäuseform bietet beispielsweise eine bessere elektrische Performance, auch für Anwendungen mit Frequenzen von 2 bis 10 GHz. Es sind allerdings spezielle neue Designstrategien und Parameter beim Footprint und auch beim Routing zu beachten, damit die Bauteile zuverlässig arbeiten und die neuen Gehäusefeatures voll genutzt werden können.**

Kleine Mikrocontroller, Wandler, PLDs und viele analoge ICs sind jetzt in Platz sparenden MicroLeadframe (MLF)-Gehäusen erhältlich. Auch Optokoppler und Transistoren wie MOSFET-Leistungsbaueteile werden in dieser Bauform umgesetzt, weil die integrierte Metallfläche eine neue Möglichkeit bietet, die Verlustleistung zu übertragen.

Mit Gehäusegrößen ab 2 x 3 mm bis 12 x 12 mm Kantenlänge und 4 bis 100 Anschlüssen stellen die Quad Flat No lead-Gehäuse (QFN) eine weitere Stufe zur Miniaturisierung dar. Die QFN-Bauteile, die mittels Micro Leadframe-Technologie (MLF) aufgebaut sind, haben ca. 50 Prozent kleinere Gehäuse gegenüber den gängigen SSOP- und TSSOP-Alternativen. Dazu bauen die Bauteile mit ca. 0,7 mm sehr flach auf der Leiterplatte auf. Der Wegfall herkömmlicher seitlicher Anschlüsse und ein Chipnahes Gehäuse verbessern die effektive Leiterplattennutzung.

Damit sind die Bauteile ideal für Produkte geeignet, bei denen es auf Platzeinsparung ankommt. Für Applikationen mit höheren Verlustleistungen ist auf der Unterseite des MLF-Gehäuse eine thermisch wirkende Metallfläche integriert. Sie kann direkt mit der Leiterplatte verlötet werden, wie auch beim POWER-SO oder High-QUAD Gehäuse. Dies ergibt eine zusätzliche mechanische Festigkeit, die sich auch im Bezug auf die Zuverlässigkeit positiv bemerkbar macht. In Temperaturwechseltests haben die Bauteile bei über 2.000 Zyklen keine Ausfälle gezeigt. Nach 1.000 Zyklen wurden noch Abscherwerte von über 30 kg erreicht.



**Neben der kleineren Bauform sind noch weitere Eigenschaften der neuen SMD-Bauteilgehäuse interessant:**

- Anschlüsse mit niedriger Induktivität und Kapazität
- bessere thermische Eigenschaften
- keine Koplanaritätsprobleme bei den Anschlüssen (No Lead)
- höhere Temperaturfestigkeit
- höhere Zuverlässigkeit
- Hochfrequenztauglich (2-10 GHz)

**Die thermische Performance**

(Typical PKG: 5\*5 32I/O, Copper Lead Frame, Chip Size: 2.62mm\*2.62mm)

Natural Convection, Power 1w:

Theta Ja=40.50C/W Copper Leadframe

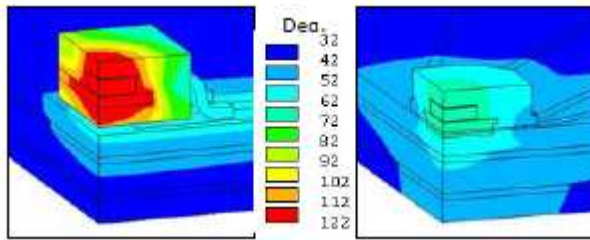
**Die Reliability Performance**

- Moisture Sensitivity: JEDEC Level 2
- Pressure Cooker Test 121C/100%@2atm, 168Hrs
- Temperature Cycle Test -65/150C 1000 cycle
- Thermal Shock Test -65/150C 300 cycle

JEDEC Multi-layer PCB

Pkg	Body Size (mm)	Board Vias #	Exposed Pad (mm)	Die (mm)	Theta JA (°C/W)
12 ld	3 x 3	1	1.25	1.25	61.1
28 ld	5 x 5	9	2.7	2.54	34.8
44 ld	7 x 7	16	4.8	3.81	24.4
52 ld	8 x 8	25	6.1	5.08	20.9

Modeled data @ 0 air flow



Das Temperaturprofil zeigt den thermischen Vorteil des QFN-Gehäuses gegenüber einem SO-IC-Gehäuse. Der signifikante Abfall der Temperatur von 122

Grad Celsius (Grad C) auf 68 Grad C resultiert aus der deutlich besseren Junction-to-Ambient-Impedanz. Diese liegt beim QFN-Gehäuse bei 43 Grad C/W gegenüber 97 Grad C/W beim SOIC.

Mit zusätzlichen sogenannten Thermovias, die in das Thermopad gesetzt werden, lässt sich die Entwärmungsfunktion über die Leiterplatte zusätzlich verstärken. Die Flächen können z. B. auf mehreren Lagen der LP angebunden werden und damit die Entwärmungsfunktion weiter verbessern.

### Hier einige Beispiele aus dem Spektrum an MLF-Bauteilen:

---

- Atmel ATmega64L (64-poliges MLF-Gehäuse, 9 x 9 x 1 mm, Pitch 0,5 mm)  
8-bit Microcontroller with 64K Bytes In-System Programmable Flash
- Intersil HIP6601BCR (16-poliges QFN-Gehäuse, 4 x 4 mm)  
Single-channel MOSFET driver
- Chipcon CC2420 (QLP-Gehäuse, 7 x 7 mm, Pitch 0,5 mm)  
SmartRF 2,4 GHz ZigBee Transceiver
- Texas SN74LV-A (14-, 16-, 20-polige QFN-Gehäuse, 3,5 x 3,5 bis 3,5 x 4,4 mm)  
Kleine LOGIC-Familie
- Zetex ZX3CDBS1 M832 (5-10-poliges QFN-Gehäuse MLP322, MLP832, 2 x 2 x 0,8 mm)  
NPN Bipolar Transistor 20 V, 4,5A

Darüber hinaus werden Eigenentwicklungen ähnlicher Gehäusevarianten angeboten, wie z. B. von IR das DirectFET package für Power MOSFETs.



Aufgrund der besseren Hochfrequenz-Eigenschaften werden auch Bauteile wie Quarze und Oszillatoren in einer ähnlichen Leadless-Gehäusetechnik angeboten. Weitere Bauteile sind Widerstands- oder Kondensator-Netzwerke, die bereits seit einigen Jahren in dieser No-Lead Anschlusstechnik eingesetzt werden.

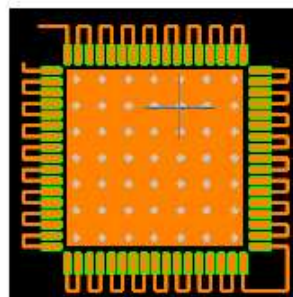
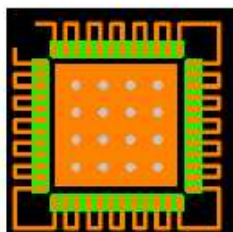
### Was sind die Designkriterien, was ist beim Layout zu beachten?

In Abhängigkeit von Art und Konstellation der Bauteile sind folgende Parameter relevant:

- a) Pad-Geometrie (Landpattern)
- b) Thermal Pad und evtl. Thermalvia Formation
- c) Lötstopmmaske
- d) Pastenschablone
- e) LP-Oberfläche
- f) Test
- g) Rework

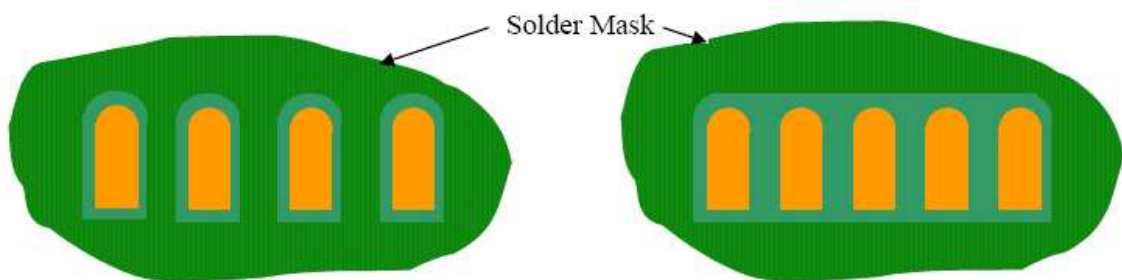
### Lötstopmmaske

Falls die Funktion Thermofläche zur Ableitung der Verlustleistung genutzt wird, muss festgelegt werden, wie die Thermovias mit Lötstopplack auf Top- und Bottomside ausgeführt werden. Dies beeinflusst unmittelbar die thermische Performance.



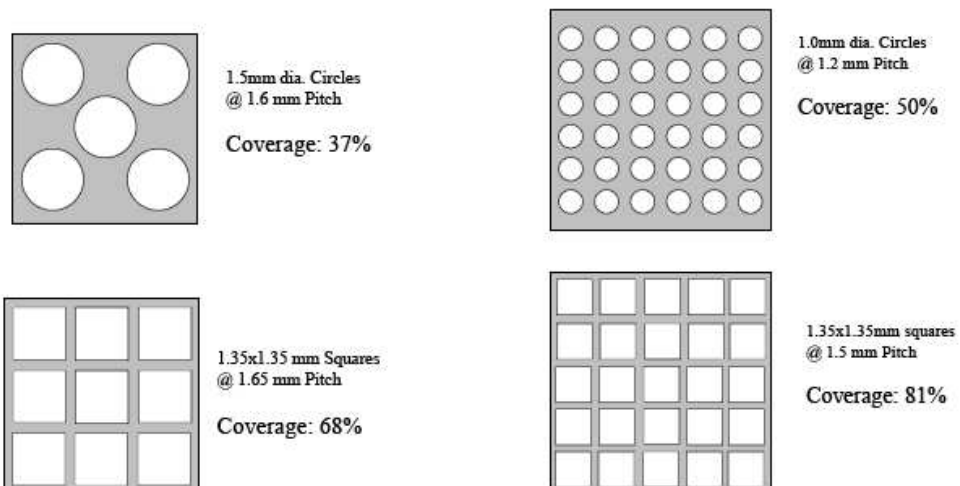
Die Gestaltung der Lötstopmmaske bei den Anschlusspads ist bei feineren Pitchmaßen genau mit den Möglichkeiten des Leiterplattenherstellers abzustimmen. Je nach Auslegung bleiben zwischen den Pads nur 65-75µm Reststeg Lötstopplack. Ab einem Pitchmaß von 0,4 mm ist dies allerdings nicht mehr möglich: Dort bleibt als schlechte Alternative nur die Lösung, die Pads komplett vom LSL freizustellen (Bild rechts).

### Pastenschablone



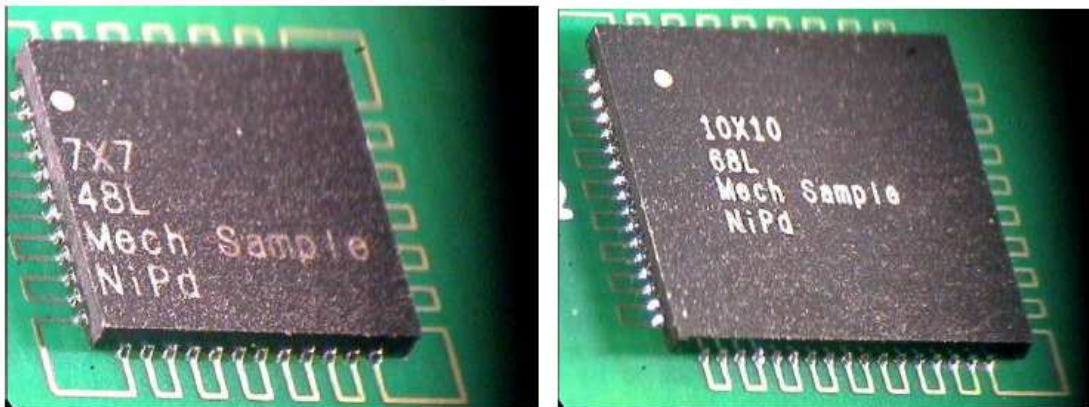
Der beste Wärmeübergang und die höchste mechanische Festigkeit wird durch eine möglichst homogene Verbindung der Kühlfläche zur Leiterplatte mittels Lot erzielt. Durch Effekte während des Lötens können sogenannte „Voids“ entstehen, Bereiche innerhalb der Fläche, die nicht verlötet sind. Um Voids zu vermeiden, muss der Pastenauftrag entsprechend angepasst werden, sodass nur 50 bis 80 Prozent der Fläche mit Paste bedruckt ist.

Nachfolgend sind einige Möglichkeiten des Schablonendesigns aufgeführt.



## Oberfläche

Die Anschlüsse an Micro Leadframe-Gehäusen werden je nach Hersteller in drei unterschiedlichen Oberflächenausführungen gefertigt: SnPb, Sn und chemisches NiPd mit Flashgold. Es hat sich gezeigt, dass insofern keine signifikanten Unterschiede festzustellen sind, als die Lötung bei der NiPd-Oberfläche einen Peak Temperatur von mindestens 215 Grad C erreicht hat. Im Zusammenhang mit Bleifreilötungen werden derzeit noch weitere aussagekräftige Erfahrungen gesammelt.



## Zusammenfassung

In vielen modernen Geräten sind MLF-Bauteile bereits millionenfach eingesetzt. Gerade bei mobilen und leistungsfähigen Geräten können die „kleineren“ und vor allem „leistungsfähigeren“ Bauteile-Gehäuse große Vorteile bieten. Viele neue Controller für WLAN und Bluetooth werden nur in diesen Gehäusen geliefert. Sie bieten neue Funktionen, die wiederum in Abhängigkeit zu anderen Parametern zu berücksichtigen sind. Um den Gehäuse-Footprint optimal auszulegen, sind eine Vielzahl von oft kleinen, aber entscheidenden Konstruktionsmerkmalen zu beachten. Auch beim Design für Controller mit Highspeed-Signalen ist umfassendes Know-how zwingend erforderlich,

denn die Signallaufzeiten und Schaltzyklen erfordern eine Leitungsauslegung mit definiertem Wellenwiderstand.

Die erforderlichen Footprints für MLF-Bauteile sind bei GED in allen Libraries eingearbeitet und durch die Verarbeitung in verschiedenen Fertigungslinien optimiert. GED verfügt über die entsprechenden Programme, um die benötigten Impedanzen zu berechnen. Die CAD-Tools wie z. B. Mentor Expedition unterstützen Highspeed-Routing, darunter die Funktion der automatischen Längen Anpassung von zwei oder mehreren Leiterbahnen.