

Der Nutzen von IPC-Richtlinien – Teil 1

Produktentstehung im Blick

Lars Wallin, Europa-Repräsentant des IPC

Seit über 50 Jahren entwickelt der IPC Industrie-Richtlinien für die Produktion von Elektronik-Hardware. Ursprünglich jahrzehntelang als „nordamerikanische“ Richtlinien betrachtet, haben sich die IPC-Richtlinien in den letzten beiden Jahrzehnten weltweite Anerkennung verschafft. Die Kernfrage lautet: Welchen Nutzen bieten IPC-Richtlinien der Elektronikhardware-Versorgungskette?

Einige europäische Unternehmen geben stellvertretend für die Bereiche Elektronik-Design, CAD, Leiterplatten-Herstellung, Baugruppen-Montage und Löten ihre jeweiligen Antworten auf die Frage zum Nutzen der IPC-Richtlinien in der Elektronikhardware-Versorgungskette und erklären, wie sie diese in ihrer täglichen Arbeit einsetzen.

In diesem ersten Artikel kommt die GED GmbH aus dem Bereich Elektronik-Design/CAD zu Wort, die sich ca. 30 km südöstlich von Köln befindet.

Erste Erfahrung mit den IPC-Richtlinien

GED bietet seinen Kunden Beratungs-Dienstleistung und Leiterplatten-Design sowie mit Hilfe von Subunternehmern unbestückte Leiterplatten, bestückte Baugruppen sowie elektri-

sche Tests. Derzeit hat das Unternehmen 14 Mitarbeiter und arbeitet mit CAD-Layoutsystemen von sechs verschiedenen Anbietern. Mit diesen Ressourcen generiert man jährlich 160 neue Leiterplatten-Designs und 80 Design-Aktualisierungen in den Bereichen starre, flexible, starr-flexible und HDI-Leiterplatten für seine Kunden in Deutschland, Italien, Schweden, den Niederlanden, Frankreich und der Tschechischen Republik.

Von seiner Gründung im Jahr 1986 bis zur Mitte der 1990er Jahre verwendete das Unternehmen die Werksnormen seiner Kunden wie z. B. Siemens, Philips, Rheinmetall und Thyssen. Für jeden Kunden musste also eine andere Richtlinie zugrunde gelegt werden. „Ein Beispiel für diese frustrierende Situation war“, so erinnert sich der Inhaber und Geschäftsführer Hanno Platz, „als wir eine Anfrage von Hewlett Packard Deutschland zusammen mit einem hundert-

seitigen Anforderungskatalog für die angefragte Leiterplatte erhielten.“

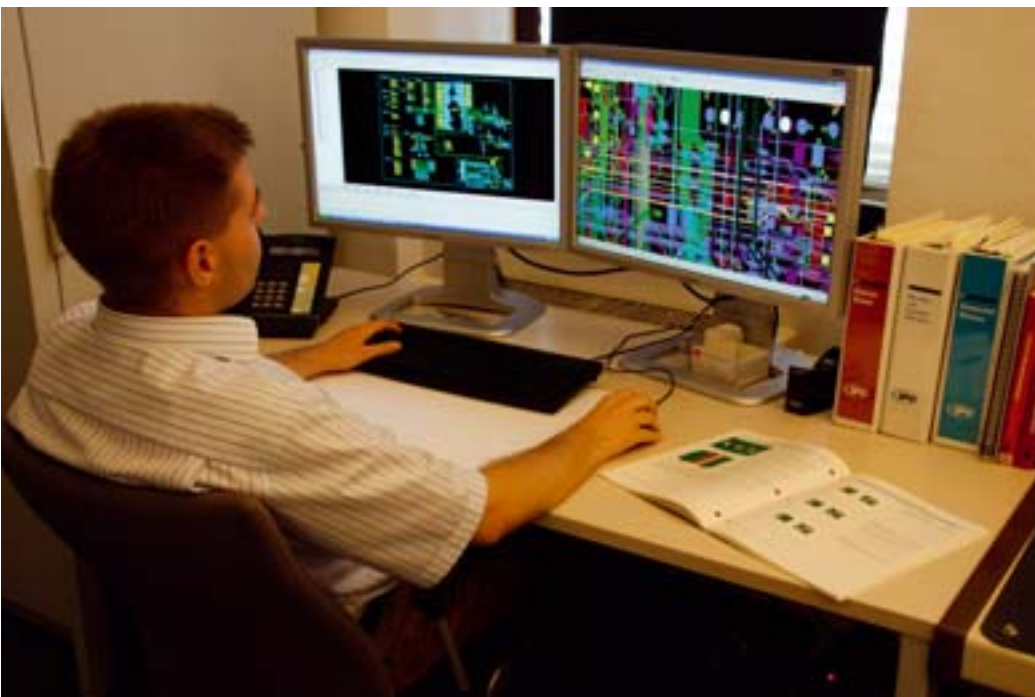
Zu dieser Zeit kannten die Mitarbeiter den IPC und seine Richtlinien noch nicht. 1995 hatte das Unternehmen einen US-amerikanischen Kunden mit der Forderung, dass eine in Deutschland entwickelte und hergestellte Backplane entsprechend den Abnahmekriterien der Klasse 3 gemäß IPC-A-610, Acceptability of Electronic Assemblies (Abnahmekriterien für elektronische Baugruppen) in seinem Werk in den USA bestückt und gelötet werden sollte.

Elektronik-Design und CAD mit Blick auf Richtlinien

GED fand die IPC-Richtlinien beim FED, einem im deutschsprachigen Raum aktiven Verband mit langjähriger Partnerschaft zum IPC. Dort hat das Unternehmen seinen ersten Satz an IPC-Richtlinien erstanden. Seitdem konnte die Backplane entsprechend IPC-Richtlinien entwickelt und hergestellt werden. Über Richtlinien aus unterschiedlichen Bereichen der Produktion zu verfügen, die aufeinander aufbauen, war eine neue und positive Erfahrung. Heute diskutieren die Mitarbeiter regelmäßig den Einsatz der IPC-Richtlinien, sowohl bei den eigenen Designs, als auch beim Zukauf von unbestückten Leiterplatten oder Baugruppen.

Heute haben alle Mitarbeiter die Zertifizierungsprüfung zum Certified Interconnect Designer (CID) und zum Advanced Certified Interconnect Designer (CID+) abgelegt. Ihnen sind nahezu sämtliche IPC-Richtlinien für Elektronik-Design und CAD geläufig. So enthalten die Auftragsbestätigungen für das Entwickeln einer kompletten Leiterplatte ausnahmslos den folgenden Passus: „Soweit sonst nichts anderes festgelegt ist, werden Leiterplatten entsprechend den IPC-Richtlinien und den Abnahmekriterien der Klasse 2 gefertigt.“

GED entwickelt auch Leiterplatten-Layouts. Bei den meisten neuen Leiterplatten handelt es sich um sogenannte HDI-Designs (High-Density-In-



Hier ist ein Designer von GED am Layout einer komplizierten Leiterplatte mit Hilfe der IPC-Richtlinien

terconnect) mit einer hohen Signalintegrität (SI) und einer hohen elektromagnetischen Verträglichkeit (EMV). Die Vorgaben der IPC-Richtlinien beeinflussen den Aufbau dieser komplexen Leiterplatten. Im Rahmen der Entwicklungsarbeit im Unternehmen werden folgende IPC-Richtlinien verwendet:

- Die Leiterplatten-Designserie IPC-2220 für die mechanischen Eigenschaften von Leiterbahnen, Isolierbereichen und durchmetallisierten Löchern (PTH).
- Die IPC-2223, Sectional Design Standard for Flexible Printed Boards (Fachbereichsrichtlinie für das Design flexibler und starr-flexibler Leiterplatten) zu Themen wie Klebertyp, Platzierung einer flexiblen Lage im starren Teil sowie Maße von Decklagen.
- Die IPC-7351, Generic Requirements for Surface Mount Design and Land Pattern Standard (Basisanforderungen an das SMT-Design und SMD-Anschlussflächen-Richtlinie) für den Entwurf von SMT-Anschlussflächen für Bauteile. Die Relevanz dieser Richtlinie ist seit der Einführung der Bleifrei-Prozesse noch erheblich gestiegen, insbesondere wenn Bauteile wie CSPs (Chip-Scale-Packages) und QFNs (Quad-Flat No-Leads) in den Stücklisten auftauchen.
- Die IPC-A-610, Acceptability of Electronic Assemblies (Abnahmekriterien für elektronische Baugruppen) für die Abnahme-Bewertung von Lötstellen und Baugruppen.
- Die IPC-2251, Design Guide for the Packaging of High Speed Electronic Circuits (Designrichtlinie für die Verbindungstechnologien von Hochgeschwindigkeitsschaltungen) sowie die IPC-2141, Design Guide for High-Speed Controlled Impedance Circuit Boards (Designrichtlinie für impedanzkontrollierte Hochgeschwindigkeits-Leiterplatten). Mit Inkrafttreten der europäischen EMV-Richtlinie 2004/108/EC und ihren hohen Anforderungen an die elektromagnetische Verträglichkeit aller in Europa in Verkehr gebrachten Leiterplatten wurde die Signalintegrität zu einem noch wichtigeren Faktor. Diese Richtlinien unterstützen die GED-Designer bei der Auswahl eines geeigneten Streifenleiter-Aufbaus zur Erzielung der gewünschten Impedanz.

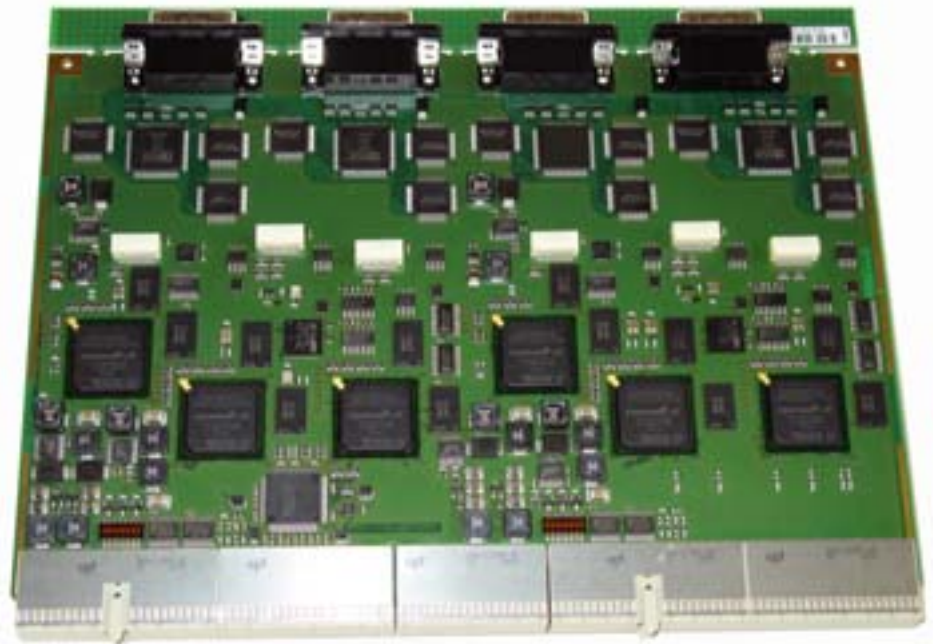
Enge Verknüpfung von Qualität und Normen

Das ISO-9002-Zertifikat des Unternehmens besagt, dass DIN-Normen und IPC-Richtlinien als eine Grundlage für Qualitätsarbeit dienen. IPC-Richtlinien spielen eine zentrale Rolle, wenn unbestückte Leiterplatten und Baugruppen extern zugekauft werden.

Die Mitarbeiter statten allen potenziellen Lieferanten in Europa Besuche ab. Im Rahmen dieser Besuche auditieren sie auch Leiterplattenlieferanten

und überprüfen deren Anwendung von IPC-Richtlinien, insbesondere die IPC-6010-Serie zur Spezifikation von Leiterplatten sowie die IPC-A-600, Acceptability of Printed Boards (Abnahmekriterien für Leiterplatten).

„Nachdem wir hunderte Leiterplatten-Lieferanten besucht hatten, sind wir zu der Überzeugung gekommen, dass die meisten Lieferanten die IPC-Richtlinien verstanden hatten.“



Typische HDI-Leiterplatte des Unternehmens

Es gibt allerdings nur sehr wenige, die Leiterplatten gemäß den Abnahmekriterien der IPC-Klasse 3 fertigen können“, so berichtet Hanno Platz von den gemachten Erfahrungen. „An dieser Stelle besteht absolut Verbesserungsbedarf.“

Richtige Lösung durch IPC-Richtlinien

Die IPC-Richtlinien sind im Unternehmen die Grundlage von Qualität und Zuverlässigkeit bei elektronischen Produkten. Beim Designprozess stellen technische Parameter wie Basismaterial, Padgrößen, Leiterbahnbreiten und -abstände, Isolationsabstände zwischen Lagen sowie das Rastermaß der Bauteilanschlüsse echte Dauerthemen dar.

Die Verwendung von IPC-Richtlinien erleichtert ein Finden der richtigen Lösungen. Eine alternative Vorgehensweise ohne IPC-Richtlinien kann sowohl zu hohen Reparatur- und Nacharbeitskosten oder gar zu Ausschuss führen, als auch zu mangelhaften Produkten aus Qualitäts- und Zuverlässigkeitssicht. In einigen Fällen mussten Kunden des Unternehmens, die keine IPC-Richtlinien verwendeten, sehr viel Lehrgeld zahlen. Hanno Platz nennt dazu zwei Beispiele:

- Um die EMV-Eigenschaften einer Leiterplatte zu verbessern, hat ein Layouter Vias direkt in Pads für SMT-Bauteile platziert. Das Ergebnis waren jahrelange Löt- und Benetzungsprobleme, eine Ausbeute von lediglich 80 bis 90 Prozent und schwierige Reparaturen. Der Layouter hatte die Vias unter Missachtung der Richtlinie in ein Pad platziert, dass dafür zu klein war. Der über mehrere Jahre entstan-

dene Schaden wurde auf 50.000 bis 60.000 Euro geschätzt. GED konnte das Problem letztendlich lösen, indem die Vias, die das EMV-Verhalten verbessern sollten, neu platziert wurden.

- Eine komplexe, 12-lagige HDI-Leiterplatte mit beidseitiger BGA-Bestückung sollte künftig mit bleifreien Prozessen produziert werden. Nach Technologieumstellung sank die Ausbeute auf 50 Prozent. Ursache waren die Verwendung falscher Design-Parameter und schlechter Lagen-Konfigurationen verwendet sowie zu kleine Pads für Via-Löcher. Durch die höhere Löttemperatur des Bleifrei-Prozesses entstanden zahlreiche irreparable Hülsenrisse in den Via-Löchern. Der Gesamtschaden durch die auf 50 Prozent gesunkene Ausbeute im Bleifrei-Lötprozess betrug über 100.000 Euro.

Für das Unternehmen wurden die IPC-Richtlinien im Lauf der letzten beiden Jahrzehnte zu einem unschätzbar wertvollen Werkzeug. IPC-Richtlinien sparen jedoch nicht nur bares Geld, sie erleichtern auch die Kommunikation mit Leiterplatten- und Baugruppenlieferanten aus aller Welt. Sie können spürbar Fehler reduzieren sowie die Qualität und Zuverlässigkeit der Endprodukte erhöhen.

www.ipc.org